

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-275611

(43)Date of publication of application : 06.10.2000

(51)Int.Cl.

G02F 1/133
G02F 1/1365
G09F 9/35
G09G 3/20
G09G 3/36

(21)Application number : 11-085139

(71)Applicant : SONY CORP

(22)Date of filing : 29.03.1999

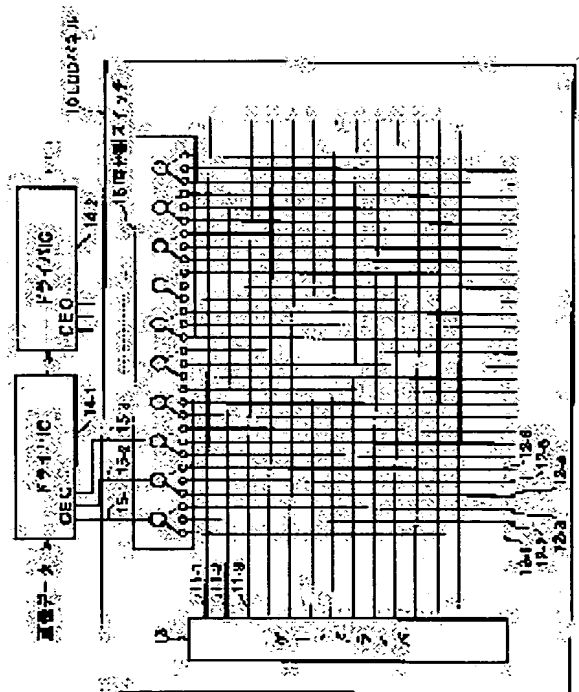
(72)Inventor : INO MASUMITSU
MAEKAWA TOSHIICHI
GOTO HISASHI
AKUTAGAWA TORU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device permitting to reduce power consumption of driver ICs caused by electrical charge and discharge of signal lines, and also decrease the number of connection lines between the driver ICs and the signal lines, and the number of driver ICs.

SOLUTION: In an active matrix type liquid crystal display device, plural pieces of driver ICs 14-1, 14-2, etc., arranged outside of an LCD panel 10 output pixel signals, which are of the same polarity between adjacent pixels in the vertical direction and are opposite in polarity between adjacent pixels in the horizontal direction, from each output pin in time sequence corresponding to the prescribed number of time divisions. Furthermore, the polarities of the pixel signals are reversed at each field for realizing column reverse driving, while time-series signals outputted from the drivers 14-1, 14-2, etc., by time-sharing switches 16 formed on the LCD panel 10 are sampled in time division and supplied to the corresponding signal lines.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The display which comes to carry out two-dimensional arrangement of two or more pixels at the crossing of the gate line for a multi-line and the signal line for two or more trains which were wired in the shape of a matrix on the transference insulating substrate, While outputting the pixel signal of reversed polarity from each output terminal by the time series corresponding to the predetermined number of time sharing between the pixels with which it is like-pole nature between the pixels to which a line writing direction adjoins the vertical-drive circuit which chooses each pixel of said display per line and which the direction of a train adjoins Two or more level actuation circuits which reverse the polarity of a pixel signal for every field, The liquid crystal display characterized by having the time division switch supplied to the signal line to which time sharing of the pixel signal of the time series outputted from each output terminal of two or more of said level actuation circuits is carried out, and it corresponds of the signal lines for said two or more trains.

[Claim 2] Each pixel transistor in said display is a liquid crystal display according to claim 1 characterized by being formed of the polish recon thin film transistor.

[Claim 3] Said vertical-drive circuit is a liquid crystal display according to claim 1 characterized by being allotted on said transference insulating substrate.

[Claim 4] Said two or more level actuation circuits are liquid crystal displays according to claim 1 characterized by being the driver IC allotted to the exterior of said transference insulating substrate.

[Claim 5] The liquid crystal display according to claim 1 characterized by the number of time sharing by said time division switch being 3 time sharing corresponding to R, G, and B when it constitutes 1 pixel from 3 dots, R (red), G (green), and B (blue).

[Claim 6] The sampling period of said time division switch is a liquid crystal display according to claim 5 characterized by being $1/3$ or less [of 1 horizontal-scanning period].

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the active matrix liquid crystal display which comes to prepare the driver circuit which gives signal potential to each pixel as an external circuit of the LCD panel about a liquid crystal display (LCD; Liquid Crystal Display).

[0002]

[Description of the Prior Art] As for the liquid crystal display used for the personal computer, the word processor, etc., the active-matrix mold serves as the main force. This active matrix liquid crystal display is excellent in the field of a speed of response or image quality, and is turning into the optimal display for colorization in recent years. Nonlinear components, such as a transistor or diode, are used for each pixel of the LCD (liquid crystal display) panel in this kind of liquid crystal display. Specifically, it has the structure in which the thin film transistor (TFT; thin film transistor) was formed on transparence insulating substrates, such as a glass substrate.

[0003] Moreover, the so-called dot reversal actuation method which reverses the polarity of the electrical potential difference impressed to the pixel (dot) which four directions adjoin as the actuation method is learned for the active matrix liquid crystal display. This dot reversal actuation method is made good to the improvement in image quality. The reason is as follows. That is, the diving potential from the signal line resulting from the cross capacity of a signal line and a gate line will be canceled between vertical and horizontal contiguity pixels by making into reversed polarity the electrical potential difference impressed to an vertical and horizontal contiguity pixel. Consequently, pixel potential is stabilized, it comes to be inputted and the flicker at the time of a liquid crystal display is mitigated.

[0004] On the other hand, in the condition of changing the touch-down level of a gate line, when not performing dot reversal actuation, since it becomes impossible for the gate switch of a pixel transistor to decide an OFF state, the held pixel potential will discharge. The permeability of a pixel falls and it becomes impossible therefore, to take the contrast of a pixel. Moreover, since the diving potential from a signal line became the same polarity, even if the contrast of the pixel in every line will be conspicuous and it displayed the same gradation, the display which is different for every Rhine comes to be performed.

[0005] Since such nonconformities are cancelable, a dot reversal actuation method is useful as an actuation method of an active matrix liquid crystal display, when aiming at improvement in image quality.

[0006]

[Problem(s) to be Solved by the Invention] However, by the dot reversal actuation method, since the rewriting frequency of a signal line is twice the inverse number of 1H period (it is [XGA / (extended graphics array)] 13.3 microseconds at 15.6 microseconds and UXGA (ultraXGA) in 20.6 microseconds and SXGA (superXGA)), the charge and discharge current of a signal line cannot be disregarded, but the power consumption of the driver IC which gives signal potential to each pixel increases.

[0007] In order to reduce the power consumption of this driver IC, it is the translation which should just make a low battery the electrical potential difference which joins a signal line, but the display electrical potential difference of liquid crystal is more than 4V, and for this reason, when reversal actuation is taken into consideration, the actual condition is that the electrical potential difference which joins a signal line is not made to less than [8V]. Moreover, the increment of the power consumption of a driver IC is changed into the heat generated in the driver IC arranged on a tape career, and is puffed up in the heat deformation on a driver IC and a tape career. When this progresses, connection of a tape and IC is cut and it becomes impossible to display.

[0008] By the way, in the large-sized liquid crystal display, each output pin of a driver IC and each of the signal line of the LCD panel usually serve as response relation of 1 to 1 especially. It follows, for example, in the case of SXGA display specification, it is necessary to set horizontally, and it needs to connect each output pin of a driver IC, and each of 3840 signal lines from having 1280 signal lines, i.e., 3840 (= 128x3) books, for every color of R (red), G (green), and B (blue). Moreover, perpendicularly,

connection of 1024 lines is required and connection of 4864 lines is needed in total.

[0009] Moreover, the number of driver ICs also increases. When the case where the existing general-purpose driver IC with 384 output pins is connected is considered in the liquid crystal display of SXGA display specification as an example as opposed to 3840 signal lines, ten driver ICs (= 3840/384) will be needed in total. Moreover, since wiring width of face also becomes narrower with future highly-minute-izing, connection of the input/output terminal for balancing this also becomes difficult. And when the number of driver ICs increases, the cost of the liquid crystal display itself will also increase.

[0010] This invention is made in view of the above-mentioned technical problem, and the place made into the object is to offer the liquid crystal display which enabled the cutback of the number of connection lines of a driver IC and each of a signal line, and the number of a driver IC while reducing the power consumption of the driver IC resulting from the charge and discharge of a signal line.

[0011]

[Means for Solving the Problem] The display which comes to carry out two-dimensional arrangement of two or more pixels at the crossing of the gate line for a multi-line where the liquid crystal display by this invention was wired in the shape of a matrix on the transparence insulating substrate, and the signal line for two or more trains, between the pixels to which a line writing direction (perpendicular direction) adjoins the vertical-drive circuit which chooses each pixel of this display per line -- like-pole nature -- and, while outputting the pixel signal of reversed polarity from each output terminal by the time series corresponding to the predetermined number of time sharing between the pixels which the direction of a train (horizontal) adjoins Two or more level actuation circuits which reverse the polarity of a pixel signal for every field, It has composition equipped with the time division switch supplied to the signal line to which time sharing of the pixel signal of the time series outputted from each output terminal of two or more of these level actuation ***** is carried out, and it corresponds of the signal lines for two or more trains.

[0012] In the liquid crystal display of the above-mentioned configuration, while two or more level actuation circuits output the pixel signal of reversed polarity between the pixels with which it is like-pole nature between the pixels which a line writing direction adjoins and which the direction of a train adjoins, column reversal actuation is realized by reversing the polarity of the pixel signal for every field. Moreover, from each output terminal of two or more level actuation circuits, a pixel signal is outputted as a signal of the time series corresponding to the number of time sharing. And the pixel signal of this time series is supplied to the signal line which is sampled by time sharing and corresponds with a time division switch.

[0013]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0014] Drawing 1 is the plugging chart of the liquid crystal display section in the active matrix liquid crystal display concerning 1 operation gestalt of this invention. The signal line 12-1 for two or more trains, 12-2, 12-3, and .. are wired in the shape of a matrix on a liquid crystal substrate (transparence insulating substrate) with the gate line 11-1 for a multi-line, 11-2, 11-3, and .., and this active matrix liquid crystal display has the structure where the back light has been arranged at the rear-face side of that liquid crystal. And the crossing of a signal line 12-1, 12-2, 12-3, and .. becomes the gate line 11-1, 11-2, 11-3, and with a pixel, and the LCD panel (display) 10 is formed.

[0015] Here, the configuration of each pixel of the LCD panel 10 is explained using the circuit diagram of drawing 2 . A gate electrode each pixel 20 to the gate line 11-1, 11-2, 11-3, and The thin film transistor 21 which consists of polish recon by which the source electrode was connected to a signal line 12-1, 12-2, 12-3, and .., respectively (TFT), It consists of retention volume 22 with which one electrode was connected to the drain electrode of this thin film transistor 21, and liquid crystal capacity (liquid crystal cell) 23 by which the pixel electrode was connected to the drain electrode of a thin film transistor 21.

[0016] In this pixel structure, the liquid crystal capacity 23 means the capacity generated between the pixel electrode formed by the thin film transistor 21, and the counterelectrode formed corresponding to this. It connects with the Cs line 24 in common between each pixel, and the electrode of another side of retention volume 22 and the counterelectrode of a liquid crystal cell 23 are connected to the common electrode 25 through this Cs line 24. Predetermined direct current voltage is given to this common electrode 25 as a common electrical potential difference VCOM.

[0017] One edge each is connected to each outgoing end of the line to which the gate driver 13 of the gate line 11-1 for a multi-line, 11-2, 11-3, and which is a vertical-drive circuit corresponds, respectively. The gate driver 13 is formed of poly-Si TFT on the same substrate as the above-mentioned LCD panel 10, and performs a vertical scanning by giving a scan pulse in order to the gate line 11-1, 11-2, 11-3, and, and choosing each pixel per line.

[0018] In addition, although considered as the configuration which arranges a gate driver 13 only on one side of the LCD panel 10 in this example, it is also possible to consider as the configuration allotted to the both sides of the LCD panel 10. Thus, it is effective in the ability to prevent delay of the scan pulse transmitted to each pixel by the gate line 11-1, 11-2, 11-3, and per line by taking the configuration which arranges a gate driver 13 on the both sides of the LCD panel 10.

[0019] Moreover, two or more driver ICs 14-1 which impress the predetermined electrical potential difference according to image data to a signal line 12-1, 12-2, 12-3, and, 14-2, and .. are prepared as an external circuit of the LCD panel 10. The digital image data which enables the display of 512 or more colors with 8 or more gradation is inputted into two or more driver ICs 14-1, 14-2, and In order to perform the natural drawing display of an image, the display of many gradation will be required more.

[0020] Drawing 3 is the block diagram of a driver IC 14-1, 14-2, and showing an example of an internal configuration. These driver ICs have the level shift register circuit 31, the sampling switch group 32, a level shifter 33, the data latch circuit 34, and the digital-to-analog circuit 35, and have the composition of incorporating the 5-bit digital image data data1-data5 and supply voltage Vdd and Vss from the both sides in the shift direction of the level shift register circuit 31, for example, in this example so that clearly from drawing 3.

[0021] In the driver IC 14-1 of the above-mentioned configuration, 14-2, and, the level shift register circuit 31 performs a horizontal scanning (train scan) by carrying out the sequential output of the horizontal scanning pulse. Each of the sampling switch in the sampling switch group 32 answers a horizontal scanning pulse from the level shift register circuit 31, and carries out the sequential sampling of the digital image data data1-data5 inputted.

[0022] A level shifter 33 carries out pressure up of the digital data of 5V sampled by the sampling switch group 32 to the digital data of liquid crystal driver voltage. The data latch circuit 34 is memory which accumulates the digital data by which pressure up was carried out by the level shifter 33 by 1H. The digital-to-analog circuit 35 changes and outputs the digital data of 1 H parts outputted from the data latch circuit 34 to an analog signal.

[0023] And as a driver IC 14-1, 14-2, and, IC for the so-called column reversal actuation methods is used. In order to realize column reversal actuation, this driver IC 14-1, 14-2, and output the signal level which potential reverses for every odd number of each output terminal, and even number, and reverse the polarity of that signal level for every field. Here, the polarity of a signal level is reversed polarity between the pixels which adjoin horizontally, and a column reversal actuation method is an actuation method which it becomes [method] like-pole nature and moreover reverses the condition of this pixel polarity for every field between the pixels which adjoin perpendicularly.

[0024] Thus, in the active matrix liquid crystal display concerning this operation gestalt, the column reversal actuation method is taken as the actuation method. In the liquid crystal display concerning this operation gestalt, the time-sharing driving method is further used together.

[0025] Two or more signal lines which adjoin the time-sharing driving method mutually are divided as one unit (block) here. While outputting the signal given to two or more signal lines in this 1 division block

from each output pin of a driver IC by time series. It is the actuation approach which forms a time division switch by making two or more signal lines into one unit at the LCD panel, samples the signal of the time series outputted from a driver IC with these time division switches by time sharing, and is given to two or more signal lines one by one.

[0026] In order to realize this time-sharing actuation, a driver IC 14-1, 14-2, and make two or more signal lines one unit, and have composition which outputs the signal level given to the signal line of these plurality by time series. Corresponding to this, the output line 15-1, 15-2, 15-3, ..., the analog switch (a time division switch is called hereafter) 16 that samples in between the signal level of a signal line 12-1, 12-2, 12-3, and .. given to a signal line 12-1, 12-2, 12-3, and .. by time sharing of a driver IC 14-1, 14-2, and are formed.

[0027] An example of the connection configuration of the time division switch 16 in 3 time-sharing actuation corresponding to R, G, and B is shown in drawing 4. In this 3 time-sharing actuation, from each output pin of a driver IC 14-1, the signal level for 3 pixels of R, G, and B is outputted through the output line 15-1, 15-2, 15-3, and in order by time series. Specifically, the signal of each pixel of R1, G1, and B1 is outputted to the condition [line / 15-2 / from the EVEN terminal 1 / output / signal / of each pixel of R2, G2, and B-2 / line / 15-3 / from the ODD terminal 2 / output / signal / of each pixel of R3, G3, and B3], from the ODD terminal 1 as a signal output of a driver IC 14-1 at the output line 15-1.

[0028] Between the output line 15-1, three signal lines 12-1, 12-2, and 12-3, on the other hand, a time division switch 16-1, 16-2, and 16-3. Between the output line 15-2, three signal lines 12-4, 12-5, and 12-6, a time division switch 16-4, 16-5, and 16-6. Corresponding to 3 time sharing, three time division switches are formed at a time in the condition [9 / time division switch 16-7 16-8, and / 16-], to one output line between the output line 15-3, three signal lines 12-7, 12-8, and 12-9.

[0029] Corresponding to the number of time sharing of the signal level by the time division switch 16 being 3 time sharing here, as shown in the timing chart of drawing 5, the period (sampling period) which chooses a signal level with a time division switch 16 is set up so that it may become $1/3$ or less [of $1H$ (H is a horizontal scanning period)].

[0030] Next, the concrete configuration of 1 set of some time division switches 16-1, 16-2, and 16-3 is explained using the circuit diagram of drawing 2.

[0031] A PchMOS transistor and a NchMOS transistor consist of a transmission switch of the CMOS configuration which it comes to connect with juxtaposition mutually, and a time division switch 16-1, 16-2, and 16-3 are formed of poly-Si TFT on the same substrate as the LCD panel 10. In addition, although the transmission switch of a CMOS configuration was used as a time division switch 16-1, 16-2, and 16-3, it is also possible to use the transmission switch of PMOS or an NMOS configuration here.

[0032] And each input edge of three time division switches 16-1, 16-2, and 16-3 is connected in common, and the common node is connected to the output line 15-1. Thereby, the signal potential outputted by time series is given to each input edge of three time division switches 16-1, 16-2, and 16-3 via the output line 15-1 from a driver IC 14-1. Each outgoing end of these time division switches 16-1, 16-2, and 16-3 is connected to one edge each of three signal lines 11-1, 11-2, and 11-3, respectively.

[0033] Moreover, 2 per time division switch and a total of six control lines 17-1 to 17-6 are wired along the gate line 11-1, 11-2, 13-3, and the wiring direction of on the same substrate as the LCD panel 10. And two control-input edges of a time division switch 16-2 are connected to a control line 17-3 and 17-4, and two control-input edges of a time division switch 16-3 are connected to a control line 17-1 and 17-2 for two control-input edges (namely, each gate of Nch and a PchMOS transistor) of a time division switch 16-1 a control line 17-5 and 17-6, respectively.

[0034] In addition, although the connection relation of the time division switch 16-1 to six control lines 17-1 to 17-6, 16-2, and 16-3 was explained, it has other time division switches 16-4, 16-5, 16-6, and connection relation with the same completely said of here.

[0035] The gate selection signals S1-S3 for choosing three time division switches of each class in order,

and XS1–XS3 are given to six control lines 17–1 to 17–6 from an external control circuit (not shown). However, the gate selection signals XS1–XS3 are reversal signals of the gate selection signals S1–S3. The gate selection signals S1–S3, and XS1–XS3 are the signals for carrying out sequential ON of the three time division switches of each class synchronizing with the signal potential of the time series outputted from a driver IC 14–1, 14–2, and

[0036] A time division switch 16–1, 16–2, 16–3, 16–4, 16–5, 16–6, 16–7, 16–8, 16–9, and By answering the gate selection signals S1, S2, and S3 (seeing the timing chart of drawing 5) given sequentially from the exterior, and being in an ON state one by one The signal of the time series outputted to the output line 15–1, 15–2, 15–3, and from a driver IC 44 is supplied to the signal line which samples and corresponds to 1H period by 3 time sharing.

[0037] In 3 time-sharing actuation mentioned above, since the number of time sharing is odd, it writes in between the adjacent pixels of one line, and the polarity of an electrical potential difference turns into reversed polarity so that clearly from drawing 6 . In addition, drawing 6 shows the write-in condition to each pixel of the signal level in 3 time-sharing actuation shown in drawing 4 . In this drawing, a longitudinal direction shows the order of a scan, a lengthwise direction shows the order of actuation of a time division switch, respectively, and H shows high tension and L shows the write-in condition of a low battery, respectively.

[0038] It is column reversal actuation, and in the 1st field (a), H will be written in each pixel of an odd number train, L will be written in each pixel of an even number train, respectively, for example, in the 2nd field (b), L will be written in each pixel of an odd number train, and H will be written in each pixel of an even number train, respectively so that clearly from drawing 6 by performing 3 time-sharing actuation.

[0039] Moreover, the signal line from which the time division switch 16 became off will be in a hi-z state, it becomes easy to be influenced of foreign diving potential etc., and it is tended to change the potential of a signal line, when inputting signal potential into a signal line 12–1, 12–2, 12–3, and .. from a driver IC 14–1, 14–2, and For this reason, since one pixel is not R, G, and B lot, in the case of 4 time sharing etc., potential fluctuation of the signal line for every color is not fixed, and they cause an irregular color of a lengthwise direction.

[0040] On the other hand, if 3 time sharing of three signal lines, R, G, and B, is driven, since potential fluctuation of the signal line for every color resulting from foreign diving potential etc. will become almost uniform, it can avoid emphasizing some potential fluctuation. In other words, if it R Becomes, it is possible to make it predetermined signal potential by giving offset to R and the chrominance-signal data which will be supplied to a driver IC 14–1, 14–2, and since it will change by B if it B Becomes, G and if it G Becomes. Moreover, if it is fluctuation of the source potential in tolerance, the gap as a chromaticity signal will not be generated.

[0041] So that clearly from the above explanation in the active matrix liquid crystal display of a column reversal actuation method When the polarity of the signal level between the contiguity pixels in a horizontal direction is reversed polarity Since a signal line 12–1, 12–2, 12–3, the signal line 12–1 that originates in and the capacity which is parasitic between the Cs lines 24, and is generated, 12–2, 12–3, and the diving potential from .. are canceled in the circuit diagram of drawing 2 between the pixels which are horizontal and adjoin, The shake of the Cs line 24 leading to a horizontal cross talk (cross talk of pixel information which can be set horizontally) is mitigable.

[0042] moreover, the polarity of the signal level which it impresses to each pixel in a video-signal format of SXGA display specification when 1 field period adopts a column reversal actuation method, since 16ms and 1 horizontal-scanning period (1H) were 15.6 microseconds -- 1 -- since it ends with the drive frequency of about 1/1000 compared with 1H reversal actuation method reversed for every H, power consumption can be reduced substantially.

[0043] Each actuation method is anew explained here using drawing 7 . In the case of a column reversal actuation method (A), like-pole nature and the polarity of horizontal pixel potential are reversed polarity, and the polarity of the pixel potential of the perpendicular direction in 1 field period writes in the pixel

signal of reversed polarity in the 1 next field. The power consumption in the driver IC which originates at the charge and discharge of a signal line in the case of this column reversal actuation method (A) is a low power.

[0044] In the case of 1H reversal actuation method (B), throughout [1 H-term], the polarity of horizontal pixel potential inputs the pixel signal of reversed polarity into every 1H by like-pole nature and the following 1H at the condition of an input for the pixel signal of reversed polarity, and writes in the pixel signal of reversed polarity in the 1 next field. The power consumption in the driver IC which originates at the charge and discharge of a signal line in the case of this 1H reversal actuation method (B) is inside power consumption.

[0045] In the case of a dot reversal actuation method (C), throughout [1 H term], the polarity of horizontal pixel potential inputs the pixel signal of reversed polarity into every 1H by reversed polarity and the following 1H at the condition of an input for the pixel signal of reversed polarity, and writes in the pixel signal of reversed polarity in the 1 next field. The power consumption in the driver IC which originates at the charge and discharge of a signal line in the case of this dot reversal actuation method (C) is large power consumption.

[0046] if the capacity of a signal line is assumed [the signal amplitude of a signal line] to be 100pF for 9V and 1H period for 15.6 microseconds as an example of a concrete numeric value in the case of a SXGA display mode, the power consumption in the driver IC resulting from the charge and discharge of a signal line is 3mW in a column reversal actuation method (A) -- it receives and is set to 1000mW by the dot reversal actuation method (C). That is, power consumption can be reduced by taking a column reversal actuation method (A) to about [of a dot reversal actuation method (C)] about 1/333.

[0047] To current, a column reversal actuation method was not employable as the large-sized liquid crystal display because the leak current characteristic of the thin film transistor (TFT) 21 which is a pixel transistor was not small at operating temperature. However, compared with an amorphous silicon (a-Si), the small polish recon of temperature dependence can use it now for a semi-conductor layer by it having become possible for low-temperature (300-degreeC-400-degreeC) poly-Si TFT to create poly-Si TFT, especially a manufacture process in a transperence insulating-substrate top.

[0048] The temperature dependence of the leakage current of low-temperature poly-Si TFT and an amorphous silicon TFT is shown in drawing 8 . Although activation energy E_a was 0.9eV in the case of the amorphous silicon and there was little leakage current in the state of ordinary temperature (about [27 degrees] C), if it went into operating temperature limits (about [60 degrees C-70 degrees] C), since leakage current would increase substantially, it was unsuitable for the column reversal actuation method with the need of holding pixel potential for 1 field period.

[0049] On the other hand, in the case of low-temperature polish recon, activation energy E_a is 0.56eV and it is low compared with the activation energy of an amorphous silicon, and since there is little temperature dependence, a column reversal actuation method is employable as a large-sized liquid crystal display because it became possible to suppress the leakage current in operating temperature limits (about [60 degrees C-70 degrees] C) to 1 or less pA.

[0050] Incidentally, in order to attain column reversal actuation, in the pixel transistor whose W/L is 5 micrometers / 5 micrometers, it is required for leakage current to be 1 or less pA. If it puts in another way, it will become impossible to maintain pixel potential for 1 field period with the pixel transistor with which leakage current exceeds 1pA (maintenance).

[0051] Moreover, a driver IC 14-1, 14-2, and the number of full force pins of .. can be reduced to 1/several time sharing to the number of the signal line 12-1 of the LCD panel 10, 12-2, 12-3, and by having applied time-sharing actuation to the active matrix liquid crystal display of a column reversal actuation method. If 3 time-sharing actuation is taken for an example, specifically compared with the case where time-sharing actuation is not used, a driver IC 14-1, 14-2, and the number of full force pins of are reducible to one third. Therefore, while only the part has few connection lines of the each output pin of a driver IC and the LCD panel 10 interior which are established in the exterior of the LCD

panel 10 and ending, -izing of the size of the direction of a pin out of a driver IC can be carried out [****].

[0052] By the way, in the field of the liquid crystal display, miniaturization of equipment, especially narrow-width-ization of the LCD panel 10 are pushed positively in recent years. What is necessary is just to make size (for it to be hereafter called frame size for short) of the frame part of the LCD panel 10 as small as possible, in order to realize narrow-width-ization of the LCD panel 10. Under the present manufacturing technology, the frame size of 4mm or less serves as an aim as an example.

[0053] On the other hand, as the driver IC 14-1 which is the external circuit of the LCD panel 10, 14-2, and a mounting method of, for example, when a TAB (Tape Automated Bonding) method is used, Since the pad size of TAB is about 2mm of present, in order to satisfy less than [frame size 4mm] It is necessary to hold down the size of the field with TAB, a time division switch 16-1, 16-2, 16-3, 16-4, 16-5, 16-6, 16-7, 16-8, 16-9, and which wiring and connection of a between take to 2mm or less.

[0054] Based on the above thing, the case of R, G, and B3 time-sharing actuation is taken for an example, and setting out of the number of a driver IC is explained. Here, the case of the liquid crystal display of SXGA display specification shall be taken and explained to an example as an example. SXGA display specification is 1280 pixel x1024 pixel, and since 1 pixel consists of 3 dots, R, G, and B, the total number (= the horizontal number of dots) of a signal line becomes 3840 (= 1280x3) books.

[0055] With the present patterning technique, since wiring width of face is about 4 micrometers and wiring spacing is about 3.5 micrometers, an about 7.5 micrometers [per wiring of one] tooth space is needed. When 4mm or less is aimed at as frame size of the LCD panel 10, since the tooth space permitted by wiring and connection is 2mm or less, the numeric value of 266 ($2\text{mm} / 7.5 \text{ micrometers}$) book extent is drawn as a maximum wiring number which can wire a frame part.

[0056] However, since the flexible cable which connects electrically between the output pin of a driver IC and time division switches to the pitch of the output pin of a driver IC since the wiring pitch of a signal line is larger will be divided into right and left by one half in the frame part of a liquid crystal display panel, it becomes the maximum and twice [about] (532 [i.e.,]) the number (266) which can be maximum wired as the number of output pins of a driver IC.

[0057] In the case of SXGA display specification, it is 532 or less, and since it becomes conditions that it is the divisor of the number of signal lines (3840 lines), 320 are set up as the number of output pins of a driver IC, so that clearly from the above thing. And in 3 time-sharing actuation, as the number of full force pins of a driver IC, since 1/3 of the number of signal lines (3840 lines) is sufficient, by this example, four (= 1280/320) individuals are set up as the number of a driver IC.

[0058] namely, in the liquid crystal display of SXGA display specification, when 3 time-sharing actuation is taken As shown in drawing 9 , four driver ICs 14-1 to 14-4 which have 320 output pins respectively It will be arranged with spacing with the liquid crystal display panel 10 fixed on the external substrate (not shown) of another object, and will connect with a time division switch (not shown) by part for the connection 19 of the frame of the LCD panel 10 through the flexible cable 18.

[0059] In the liquid crystal display of SXGA display specification, by taking 3 time-sharing actuation, as the number of output pins of a driver IC Thus, since [for example,] the number of a driver IC can be managed with four pieces when 320 are set up, If time-sharing actuation is not taken, for example, the general-purpose driver IC of 384 pins is used, compared with the case where the driver IC of ten (= 3840/384) individuals is needed, standby power can be held down to 2/5 or less.

[0060] Moreover, it leads also to the cost reduction of a driver IC. And since the number of pins of the driver IC beyond this is expected and setting out of the number of three or less driver ICs will also become possible in connection with it with an advance of an integrated-circuit technique from now on, reduction can be expected from that of power consumption and product cost.

[0061] By the way, in the video-signal format of SXGA display specification, it decides on horizontal scanning time amount as 21.537 microseconds, 15.63 microseconds, 12.504 microseconds, and 10.971 microseconds on specification. Under this specification, in order to realize the configuration of drawing 2

and drawing 9 , it is necessary to double at 10.971 microseconds which is the for example shortest horizontal scanning time amount.

[0062] Here, since it is the translation which performs 3 time-sharing actuation, it is necessary to choose by 1/3 or less time amount for 10.971 microseconds (sampling). That is, it is needed that the sampling time is 3.657 or less microseconds. For 5.21 microseconds, if similarly horizontal scanning time amount becomes for 21.537 microseconds, and it will become for 15.63 microseconds for 7.179 microseconds, and it becomes for 12.504 microseconds, it will become the sampling time for 4.168 or less microseconds.

[0063] Moreover, in the timing chart of drawing 5 , about a driver IC 14-1, 14-2, the standup of an output wave outputted from -- to a signal line, and falling time amount (slew rate), since it is necessary to end in the above-mentioned sampling time, it is necessary to make it smaller than a selection period. In addition, the definition of a standup and falling is time amount of a driver IC 14-1, 14-2, and -- which potential displaces from 0% to 99.75%. As an example, when the signal amplitude of a signal line is 9V, it becomes the error of 0.00225V.

[0064] By the way, in the so-called actuation circuit one apparatus liquid crystal display which carried the gate driver 13 which is a vertical-drive circuit on the same substrate as the LCD panel 10, it faces realizing column reversal actuation, dot reversal actuation, or 1H reversal actuation, and the control clock of the circuit conforms to the property of the pixel transistor (TFT) used for it. When it opts for circuitry once, it becomes impossible therefore, to change the actuation approach of a liquid crystal display.

[0065] On the other hand, in the active matrix liquid crystal indicating equipment concerning this invention, in drawing 1 , although the drive frequency is decided by the gate driver 13 in the LCD panel 10 (vertical-drive circuit), and the sampling frequency of a time division switch 16, this is not influenced of each actuation method of column reversal actuation, dot reversal actuation, and 1H reversal actuation. This is because processing and the signal output of picture signal data are performed by the driver IC 12-1 which is the external circuit of the LCD panel 10, 12-2, and

[0066] That is, modification of a frequency and timing can respond by the driver IC 12-1, 12-2, and If it puts in another way, with the active matrix liquid crystal display concerning this invention, not only column reversal actuation but dot reversal actuation and 1H reversal actuation can be realized by making a change of a frequency and timing by the driver IC 12-1, 12-2, and

[0067]

[Effect of the Invention] While being able to reduce the power consumption of the level actuation circuit resulting from the charge and discharge of a signal line according to this invention even if it is a large-sized liquid crystal display by having used together column reversal actuation and time-sharing actuation in an active matrix liquid crystal display as explained above, it becomes the thing of a signal line respectively reducible [the number of connection lines, and the number of the driver IC as a level actuation circuit] to the output terminal of a level actuation circuit.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the plugging chart of the liquid crystal display section in the active matrix liquid crystal display concerning 1 operation gestalt of this invention.

[Drawing 2] It is the circuit diagram showing each pixel of a display, and the configuration of a time division switch.

[Drawing 3] It is the block diagram showing an example of the configuration of a level actuation circuit.

[Drawing 4] They are the schematics showing an example of the connection configuration of the time division switch in 3 time-sharing actuation.

[Drawing 5] It is a timing chart for the explanation of operation in 3 time-sharing actuation.

[Drawing 6] It is drawing showing the polarity of the potential of each pixel in column reversal actuation.

[Drawing 7] It is the explanatory view of each actuation method, and in (A), (B) shows 1H reversal actuation method, and (C) shows the dot reversal actuation method for the column reversal actuation method, respectively.

[Drawing 8] It is drawing showing the temperature dependence of the leakage current of low-temperature poly-Si TFT and an amorphous silicon TFT.

[Drawing 9] It is the outline block diagram showing the relation of the number of the driver IC in the liquid crystal display of SXGA display specification.

[Description of Notations]

10 [-- A gate driver, 14-1, 14-2 / -- A driver IC, 16, 16-1 to 16-9 / -- A time division switch, 20 / -- A pixel, 21 / -- A thin film transistor (TFT) 22 / -- Retention volume, 23 / -- Liquid crystal capacity (liquid crystal cell)] -- The LCD panel, 11-1 to 11-3 -- A gate line, 12-1 to 12-9 -- A signal line, 13

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-275611

(P2000-275611A)

(43) 公開日 平成12年10月6日 (2000.10.6)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 2 H 0 9 2
	5 1 0		5 1 0 2 H 0 9 3
1/1365		G 0 9 F 9/35	3 0 5 5 C 0 0 6
G 0 9 F 9/35	3 0 5	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
G 0 9 G 3/20	6 1 1		6 2 3 V 5 C 0 9 4

審査請求 未請求 請求項の数 6 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平11-85139

(22) 出願日 平成11年3月29日 (1999.3.29)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 猪野 益充

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

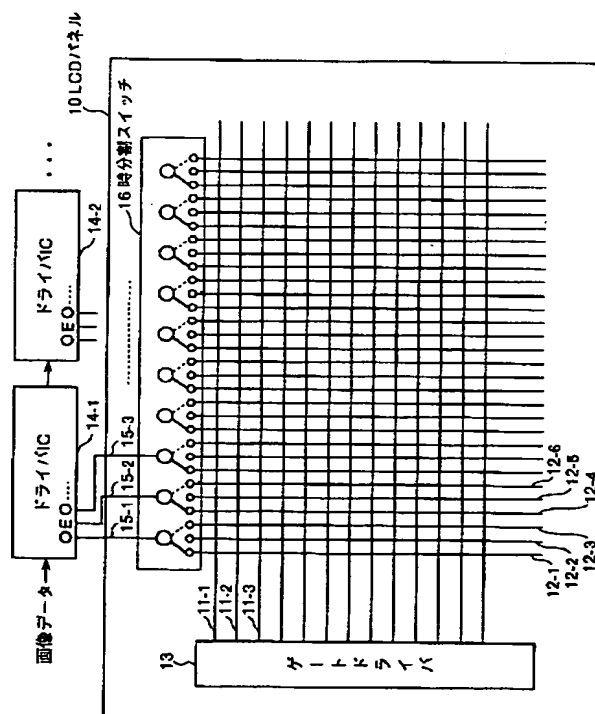
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 ドット反転駆動方式では、信号ラインの書き換え周波数が1 H期間の逆数であるため、信号ラインの充放電電流が無視できず、各画素に信号電位を与えるドライバ I C の消費電力が増大する。

【解決手段】 アクティブマトリクス型液晶表示装置において、LCDパネル10の外部に配置された複数個のドライバ I C 14-1, 14-2, …から、垂直方向の隣り合う画素間で同極性でかつ水平方向の隣り合う画素間で逆極性の画素信号を所定の時分割数に対応した時系列で各出力ピンから出力するとともに、画素信号の極性を1フィールドごとに反転させてカラム反転駆動を実現する一方、LCDパネル10上に形成された時分割スイッチ16によってドライバ I C 14-1, 14-2, …から出力される時系列の信号を時分割でサンプリングして対応する信号ラインに供給するようにする。



(2)

1

【特許請求の範囲】

【請求項1】 透明絶縁基板上にマトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、

前記表示部の各画素を行単位で選択する垂直駆動回路と、

行方向の隣り合う画素間で同極性でかつ列方向の隣り合う画素間で逆極性の画素信号を所定の時分割数に対応した時系列で各出力端子から出力するとともに、画素信号の極性を1フィールドごとに反転させる複数個の水平駆動回路と、

前記複数個の水平駆動回路の各出力端子から出力される時系列の画素信号を時分割して前記複数列分の信号ラインのうちの対応する信号ラインに供給する時分割スイッチとを備えたことを特徴とする液晶表示装置。

【請求項2】 前記表示部における各画素トランジスタは、ポリシリコン薄膜トランジスタによって形成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記垂直駆動回路は、前記透明絶縁基板上に配されていることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 前記複数個の水平駆動回路は、前記透明絶縁基板の外部に配されたドライバICであることを特徴とする請求項1記載の液晶表示装置。

【請求項5】 R (赤), G (緑), B (青) の3ドットで1画素を構成する場合において、前記時分割スイッチによる時分割数がR, G, Bに対応した3時分割であることを特徴とする請求項1記載の液晶表示装置。

【請求項6】 前記時分割スイッチのサンプリング期間は、1水平走査期間の3分の1以下であることを特徴とする請求項5記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置 (LCD; Liquid Crystal Display) に関し、特に各画素に信号電位を与えるドライバ回路を、LCDパネルの外部回路として設けてなるアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】 パーソナルコンピュータやワードプロセッサなどに用いられている液晶表示装置は、アクティブマトリクス型が主力となっている。このアクティブマトリクス型液晶表示装置は、応答速度や画像品質の面で優れており、近年のカラー化に最適な表示装置となってきた。この種の液晶表示装置において、LCD (液晶表示) パネルの各画素には、トランジスタあるいはダイオードなどの非線形な素子が用いられている。具体的には、ガラス基板等の透明絶縁基板上に薄膜トランジスタ

2

(TFT; thin film transistor) を形成した構造となっている。

【0003】 また、アクティブマトリクス型液晶表示装置では、その駆動方式として、上下左右の隣接する画素 (ドット) に印加する電圧の極性を反転させるいわゆるドット反転駆動方式が知られている。このドット反転駆動方式は、画質向上に良好とされている。その理由は次の通りである。すなわち、上下左右の隣接画素に印加する電圧を逆極性にするにより、信号ラインとゲートラインのクロス容量に起因する信号ラインからの飛び込み電位が、上下左右の隣接画素間でキャンセルされることになる。その結果、画素電位が安定して入力されるようになり、液晶表示時のフリッカーが軽減される。

【0004】 一方、ドット反転駆動を行わない場合には、ゲートラインの接地レベルが変動してしまう状態では、画素トランジスタのゲートスイッチがオフ状態を確定できなくなるために、保持された画素電位が放電されてしまう。そのため、画素の透過率が低下し、画素のコントラストがとれなくなる。また、信号ラインからの飛び込み電位が同じ極性となることから、1ラインごとの画素のコントラストが目立つことになり、同じ階調の表示を行ったとしても、ラインごとに違った表示が行われるようになる。

【0005】 これらの不具合を解消できることから、ドット反転駆動方式は、画質向上を図る上で、アクティブマトリクス型液晶表示装置の駆動方式として有用となっている。

【0006】

【発明が解決しようとする課題】 しかしながら、ドット反転駆動方式では、信号ラインの書き換え周波数が1H期間 (XGA (extended graphics array) で20.6 μ s、SXGA (super XGA) で15.6 μ s、UXGA (ultra XGA) で13.3 μ s) の2倍の逆数であるため、信号ラインの充放電電流が無視できず、各画素に信号電位を与えるドライバICの消費電力が増大する。

【0007】 このドライバICの消費電力を低減するためには、信号ラインに加わる電圧を低電圧にすれば良い訳であるが、液晶の表示電圧は4V以上であり、このため、反転駆動を考慮に入れると信号ラインに加わる電圧を8V以下にできないのが現状である。また、ドライバICの消費電力の増加分は、テープキャリア上に配置されたドライバICで発生される熱に変換され、ドライバICとテープキャリア上の熱変形を増長する。これが進むと、テープとICの接続が切断され、表示できなくなる。

【0008】 ところで、特に大型の液晶表示装置においては、ドライバICの各出力ピンとLCDパネルの信号ラインの各々とは、通常、1対1の対応関係となっている。したがって、例えばSXGA表示規格の場合は、R (赤), G (緑), B (青) の各色ごとに1280本、

(3)

3

即ち3840(=128×3)本の信号ラインを持つことから、水平方向において、ドライバICの各出力ピンと3840本の信号ラインの各々とを接続する必要がある。また、垂直方向については、1024ラインの接続が必要であり、合計で4864ラインの接続が必要となる。

【0009】また、ドライバICの数も増加する。一例として、SXGA表示規格の液晶表示装置において、3840本の信号ラインに対して、例えば384本の出力ピンを持つ既存の汎用ドライバICを接続する場合を考えると、合計で10個(=3840本/384本)のドライバICを必要とすることになる。また、今後の高精細化に伴い、配線幅もより狭くなるため、これに見合うための入出力端子の接続も困難になる。しかも、ドライバICの数が増加することによって、液晶表示装置自体のコストも増加することになる。

【0010】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、信号ラインの充放電に起因するドライバICの消費電力を低減するとともに、ドライバICと信号ラインの各々との接続ライン数およびドライバICの個数の削減を可能とした液晶表示装置を提供することにある。

【0011】

【課題を解決するための手段】本発明による液晶表示装置は、透明絶縁基板上にマトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、この表示部の各画素を行単位で選択する垂直駆動回路と、行方向(垂直方向)の隣り合う画素間で同極性でかつ列方向(水平方向)の隣り合う画素間で逆極性の画素信号を所定の時分割数に対応した時系列で各出力端子から出力するとともに、画素信号の極性を1フィールドごとに反転させる複数個の水平駆動回路と、この複数個の水平駆動回路の各出力端子から出力される時系列の画素信号を時分割して複数列分の信号ラインのうちの対応する信号ラインに供給する時分割スイッチとを備えた構成となっている。

【0012】上記構成の液晶表示装置において、複数個の水平駆動回路が、行方向の隣り合う画素間で同極性でかつ列方向の隣り合う画素間で逆極性の画素信号を出力するとともに、その画素信号の極性を1フィールドごとに反転させることで、カラム反転駆動が実現される。また、複数個の水平駆動回路の各出力端子からは、画素信号が時分割数に対応した時系列の信号として出力される。そして、この時系列の画素信号は、時分割スイッチによって時分割でサンプリングされて対応する信号ラインに供給される。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

4

【0014】図1は、本発明の一実施形態に係るアクティブマトリクス型液晶表示装置における液晶表示部の配線図である。このアクティブマトリクス型液晶表示装置は、複数行分のゲートライン11-1, 11-2, 11-3, ……と複数列分の信号ライン12-1, 12-2, 12-3, ……が、液晶基板(透明絶縁基板)上にマトリクス状に配線され、その液晶の裏面側にバックライトが配置された構造となっている。そして、ゲートライン11-1, 11-2, 11-3, ……と信号ライン12-1, 12-2, 12-3, ……の交差点が画素となり、LCDパネル(表示部)10を形成している。

【0015】ここで、LCDパネル10の各画素の構成について、図2の回路図を用いて説明する。各画素20は、ゲート電極がゲートライン11-1, 11-2, 11-3, ……に、ソース電極が信号ライン12-1, 12-2, 12-3, ……にそれぞれ接続されたポリシリコンからなる薄膜トランジスタ(TFT)21と、この薄膜トランジスタ21のドレイン電極に一方の電極が接続された保持容量22と、薄膜トランジスタ21のドレイン電極に画素電極が接続された液晶容量(液晶セル)23とから構成されている。

【0016】この画素構造において、液晶容量23は、薄膜トランジスタ21で形成される画素電極と、これに対応して形成される対向電極との間で発生する容量を意味する。保持容量22の他方の電極および液晶セル23の対向電極は各画素間で共通にCsライン24に接続され、このCsライン24を通してコモン電極25に接続されている。このコモン電極25には、所定の直流電圧がコモン電圧VCOMとして与えられるようになっている。

【0017】複数行分のゲートライン11-1, 11-2, 11-3, ……の各一端は、垂直駆動回路であるゲートドライバ13の対応する行の各出力端にそれぞれ接続されている。ゲートドライバ13は、上記LCDパネル10と同一の基板上に、ポリシリコンTFTによって形成されており、ゲートライン11-1, 11-2, 11-3, ……に順に走査パルスを与えて各画素を行単位で選択することによって垂直走査を行う。

【0018】なお、本例では、ゲートドライバ13をLCDパネル10の片側にのみ配する構成としたが、LCDパネル10の両側に配する構成とすることも可能である。このように、ゲートドライバ13をLCDパネル10の両側に配する構成を採ることで、ゲートライン11-1, 11-2, 11-3, ……によって各画素に行単位で伝送される走査パルスの遅延を防止できる効果がある。

【0019】また、信号ライン12-1, 12-2, 12-3, ……に画像データに応じた所定の電圧を印加する複数個のドライバIC14-1, 14-2, ……が、LCDパネル10の外部回路として設けられている。複数個のドライバIC14-1, 14-2, ……には、例えば8階調以

50

(4)

5

上で512色以上の表示を可能にするデジタル画像データが入力される。画像の自然画表示を行うには、より多段階の表示が要求されることになる。

【0020】図3は、ドライバIC14-1, 14-2, …の内部構成の一例を示すブロック図である。図3から明らかなように、これらドライバICは、水平シフトレジスタ回路31、サンプリングスイッチ群32、レベルシフタ33、データラッチ回路34およびデジタルアナログ変換回路35を有し、本例では、例えば5ビットのデジタル画像データdata1~data5や電源電圧Vdd, Vssを水平シフトレジスタ回路31のシフト方向における両側から取り込む構成となっている。

【0021】上記構成のドライバIC14-1, 14-2, …において、水平シフトレジスタ回路31は、水平走査パルスを順次出力することによって水平走査（列走査）を行う。サンプリングスイッチ群32におけるサンプリングスイッチの各々は、水平シフトレジスタ回路31からの水平走査パルスに応答して、入力されるデジタル画像データdata1~data5を順次サンプリングする。

【0022】レベルシフタ33は、サンプリングスイッチ群32でサンプリングされた例えば5Vのデジタルデータを液晶駆動電圧のデジタルデータに昇圧する。データラッチ回路34は、レベルシフタ33で昇圧されたデジタルデータを1H分蓄積するメモリである。デジタルアナログ変換回路35は、データラッチ回路34から出力される1H分のデジタルデータをアナログ信号に変換して出力する。

【0023】そして、ドライバIC14-1, 14-2, ……としては、いわゆるカラム反転駆動方式用のICが用いられる。このドライバIC14-1, 14-2, ……は、カラム反転駆動を実現するために、各出力端子の奇数、偶数ごとに電位が反転する信号電圧を出力し、かつその信号電圧の極性を1フィールドごとに反転する。ここで、カラム反転駆動方式とは、水平方向に隣接する画素間で信号電圧の極性が逆極性で、かつ垂直方向に隣接する画素間では同極性となり、しかもこの画素極性の状態を1フィールドごとに反転させる駆動方式である。

【0024】このように、本実施形態に係るアクティブマトリクス型液晶表示装置においては、その駆動方式としてカラム反転駆動方式を採用している。本実施形態に係る液晶表示装置ではさらに、時分割駆動法を併用している。

【0025】ここで、時分割駆動法とは、互いに隣り合う複数本の信号ラインを1単位（ブロック）として分割し、この1分割ブロック内の複数本の信号ラインに与える信号を時系列でドライバICの各出力ピンから出力する一方、LCDパネルには複数本の信号ラインを1単位として時分割スイッチを設け、これら時分割スイッチにてドライバICから出力される時系列の信号を時分割で

6

サンプリングして複数本の信号ラインに順次与える駆動方法である。

【0026】この時分割駆動を実現するために、ドライバIC14-1, 14-2, ……は、複数の信号ラインを1単位とし、これら複数の信号ラインに与える信号電圧を時系列で出力する構成となっている。これに対応して、例えばドライバIC14-1, 14-2, ……の出力ライン15-1, 15-2, 15-3, ……と信号ライン12-1, 12-2, 12-3, ……の間には、信号ライン12-1, 12-2, 12-3, ……に与える信号電圧を時分割でサンプリングするアナログスイッチ（以下、時分割スイッチと称す）16が設けられている。

【0027】図4に、R, G, Bに対応した3時分割駆動の場合における時分割スイッチ16の接続構成の一例を示す。この3時分割駆動の場合は、ドライバIC14-1の各出力ピンからは、R, G, Bの3画素分の信号電圧が順に時系列で出力ライン15-1, 15-2, 15-3, ……を介して出力される。具体的には、ドライバIC14-1の信号出力として、ODD端子1から出力ライン15-1にはR1, G1, B1の各画素の信号が、EVEN端子1から出力ライン15-2にはR2, G2, B2の各画素の信号が、ODD端子2から出力ライン15-3にはR3, G3, B3の各画素の信号が、……という具合に出力される。

【0028】これに対して、出力ライン15-1と3本の信号ライン12-1, 12-2, 12-3の間に時分割スイッチ16-1, 16-2, 16-3が、出力ライン15-2と3本の信号ライン12-4, 12-5, 12-6の間に時分割スイッチ16-4, 16-5, 16-6が、出力ライン15-3と3本の信号ライン12-7, 12-8, 12-9の間に時分割スイッチ16-7, 16-8, 16-9が、……という具合に、3時分割に対応して1本の出力ラインに対して時分割スイッチが3個ずつ設けられている。

【0029】ここで、時分割スイッチ16による信号電圧の時分割数が3時分割であるのに対応して、時分割スイッチ16で信号電圧を選択する期間（サンプリング期間）は、図5のタイミングチャートに示すように、1H（Hは水平走査期間）の3分の1以下になるように設定されている。

【0030】次に、ある1組の時分割スイッチ16-1, 16-2, 16-3の具体的な構成について、図2の回路図を用いて説明する。

【0031】時分割スイッチ16-1, 16-2, 16-3は、PchMOSトランジスタおよびNchMOSトランジスタが互いに並列に接続されてなるCMOS構成のトランスミッションスイッチからなり、LCDパネル10と同一基板上にポリシリコンTFTによって形成されている。なお、ここでは、時分割スイッチ16-1, 16-2, 16-3として、CMOS構成のトランスミッションスイッチを用いたが、PMOSあるいはNMOS構成の

(5)

7

トランスミッションスイッチを用いることも可能である。

【0032】そして、3個の時分割スイッチ16-1、16-2、16-3の各入力端は共通に接続され、その共通接続点は出力ライン15-1に接続されている。これにより、ドライバIC14-1から時系列で出力される信号電位が、出力ライン15-1を経由して3個の時分割スイッチ16-1、16-2、16-3の各入力端に与えられる。これら時分割スイッチ16-1、16-2、16-3の各出力端は、3本の信号ライン11-1、11-2、11-3の各一端

【0033】また、LCDパネル10と同一基板上において、1個の時分割スイッチにつき2本、計6本の制御ライン17-1～17-6が、ゲートライン11-1、11-2、13-3、……の配線方向に沿って配線されている。そして、時分割スイッチ16-1の2つの制御入力端（即ち、Nch、PchMOSトランジスタの各ゲート）が制御ライン17-1、17-2に、時分割スイッチ16-2の2つの制御入力端が制御ライン17-3、17-4に、時分割スイッチ16-3の2つの制御入力端が制御ライン17-5、17-6にそれぞれ接続されている。

【0034】なお、ここでは、6本の制御ライン17-1～17-6に対する時分割スイッチ16-1、16-2、16-3の接続関係について説明したが、他の時分割スイッチ16-4、16-5、16-6、……についても全く同じ接続関係となっている。

【0035】6本の制御ライン17-1～17-6には、各組の3個の時分割スイッチを順に選択するためのゲート選択信号S1～S3、XS1～XS3が外部の制御回路（図示せず）から与えられる。ただし、ゲート選択信号XS1～XS3は、ゲート選択信号S1～S3の反転信号である。ゲート選択信号S1～S3、XS1～XS3は、ドライバIC14-1、14-2、……から出力される時系列の信号電位に同期して、各組の3個の時分割スイッチを順次オンさせるための信号である。

【0036】時分割スイッチ16-1、16-2、16-3、16-4、16-5、16-6、16-7、16-8、16-9、……は、外部から順に与えられるゲート選択信号S1、S2、S3（図5のタイミングチャートを参照）に応答して順次オン状態となることにより、ドライバIC44から出力ライン15-1、15-2、15-3、……に出力される時系列の信号を、1H期間に3時分割でサンプリングして対応する信号ラインに供給する。

【0037】上述した3時分割駆動の場合には、時分割数が奇数であることから、図6から明らかなように、1ラインの隣り合う画素間で書き込み電圧の極性が逆極性となる。なお、図6は、図4に示す3時分割駆動の場合の信号電圧の各画素への書き込み状態を示している。同図において、横方向は走査順、縦方向は時分割スイッチの動作順をそれぞれ示し、またHは高電圧、Lは低電圧

8

の書き込み状態をそれぞれ示している。

【0038】カラム反転駆動でかつ3時分割駆動を行うことにより、図6から明らかなように、第1フィールド(a)においては、例えば奇数列の各画素にHが、偶数列の各画素にLがそれぞれ書き込まれ、第2フィールド(b)においては、奇数列の各画素にLが、偶数列の各画素にHがそれぞれ書き込まれることになる。

【0039】また、ドライバIC14-1、14-2、……から信号ライン12-1、12-2、12-3、……に信号電位を入力する場合、時分割スイッチ16がオフとなった信号ラインはハイインピーダンス状態となり、外来の飛び込み電位等の影響を受け易くなり、信号ラインの電位が変動し易い。このため、4時分割などの場合は、1つの画素がR、G、B一組ではないので、各色ごとの信号ラインの電位変動が一定せず、縦方向の色むらの原因となる。

【0040】これに対して、R、G、Bの3本の信号ラインを3時分割駆動すれば、外来の飛び込み電位等に起因する各色ごとの信号ラインの電位変動がほぼ均一となるため、多少の電位変動は強調されないようにすることができる。言い換えれば、RならばR、GならばG、BならばBで変動するため、ドライバIC14-1、14-2、……に供給する色信号データにオフセットを持たせることで、所定の信号電位にすることが可能である。また、許容範囲内のソース電位の変動ならば、色度信号としてのずれは発生しなくなる。

【0041】以上の説明から明らかなように、カラム反転駆動方式のアクティブマトリクス型液晶表示装置では、水平方向での隣接画素間の信号電圧の極性が逆極性であることにより、図2の回路図において、信号ライン12-1、12-2、12-3、……とCsライン24との間に寄生する容量に起因して発生する信号ライン12-1、12-2、12-3、……からの飛び込み電位が水平方向で隣接する画素間でキャンセルされるため、横クロストーク（水平方向における画素情報のクロストーク）の原因となるCsライン24のゆれを軽減できる。

【0042】また、SXGA表示規格の映像信号フォーマットでは、1フィールド期間が16ms、1水平走査期間（1H）が15.6μsであることから、カラム反転駆動方式を採用した場合には、各画素に印加する信号電圧の極性を1Hごとに反転させる1H反転駆動方式に比べて約1000分の1の駆動周波数で済むため、消費電力を大幅に低減できる。

【0043】ここで改めて、各駆動方式について図7を用いて説明する。カラム反転駆動方式(A)の場合には、1フィールド期間中垂直方向の画素電位の極性は同極性、水平方向の画素電位の極性は逆極性で、次の1フィールドで逆極性の画素信号を書き込む。このカラム反転駆動方式(A)の場合においては、信号ラインの充放電に起因するドライバICでの消費電力は低消費電力で

9

ある。

【0044】1H反転駆動方式(B)の場合には、1H期間中水平方向の画素電位の極性は同極性、次の1Hで逆極性の画素信号を入力、という具合に1Hごとに逆極性の画素信号を入力し、次の1フィールドで逆極性の画素信号を書き込む。この1H反転駆動方式(B)の場合においては、信号ラインの充放電に起因するドライバICでの消費電力は中消費電力である。

【0045】ドット反転駆動方式(C)の場合には、1H期間中水平方向の画素電位の極性は逆極性、次の1Hで逆極性の画素信号を入力、という具合に1Hごとに逆極性の画素信号を入力し、次の1フィールドで逆極性の画素信号を書き込む。このドット反転駆動方式(C)の場合においては、信号ラインの充放電に起因するドライバICでの消費電力は大消費電力である。

【0046】SXGA表示モードの場合において、具体的な数値の一例として、信号ラインの信号振幅を9V、1H期間を15.6 μ s、信号ラインの容量を100pFと仮定すると、信号ラインの充放電に起因するドライバICでの消費電力は、カラム反転駆動方式(A)では3mWであるのに対して、ドット反転駆動方式(C)では1000mWとなる。すなわち、カラム反転駆動方式(A)を採ること、ドット反転駆動方式(C)の約333分の1程度まで消費電力を低減できる。

【0047】現在まで、大型液晶表示装置にカラム反転駆動方式を採用できなかったのは、画素トランジスタである薄膜トランジスタ(TFT)21のリーク電流特性が動作温度で小さくないからである。ところが、ポリシリコンTFT、特に製造プロセスが低温(300°C~400°C)のポリシリコンTFTが透明絶縁基板上に作成可能になったことにより、アモルファスシリコン(a-Si)に比べて温度依存性の小さいポリシリコンが半導体層に使用できるようになった。

【0048】図8に、低温ポリシリコンTFTとアモルファスシリコンTFTのリーク電流の温度依存性を示す。アモルファスシリコンの場合は、活性化エネルギー E_a が0.9eVであり、常温(27°C程度)状態ではリーク電流は少ないが、使用温度範囲(60°C~70°C程度)に入ると、リーク電流が大幅に増加するため、1フィールド期間に亘って画素電位を保持する必要のあるカラム反転駆動方式には不向きであった。

【0049】これに対して、低温ポリシリコンの場合には、活性化エネルギー E_a が0.56eVであり、アモルファスシリコンの活性化エネルギーに比べて低く、温度依存性が少ないため、使用温度範囲(60°C~70°C程度)でのリーク電流を1pA以下に抑えることが可能となったことで、カラム反転駆動方式を大型液晶表示装置に採用できるのである。

【0050】ちなみに、カラム反転駆動を達成するには、 W/L が5 μ m/5 μ mの画素トランジスタにおい

(6)

10

て、リーク電流が1pA以下であることが必要である。換言すれば、リーク電流が1pAを超える画素トランジスタでは、1フィールド期間に亘って画素電位を維持(保持)することはできなくなる。

【0051】また、カラム反転駆動方式のアクティブマトリクス型液晶表示装置に時分割駆動を適用したことにより、LCDパネル10の信号ライン12-1, 12-2, 12-3, ……の本数に対して、ドライバIC14-1, 14-2, ……の総出力ピン数を時分割数分の1に削減できることになる。具体的には、3時分割駆動を例に採ると、時分割駆動を用いない場合に比べてドライバIC14-1, 14-2, ……の総出力ピン数を1/3に削減できる。したがって、LCDパネル10の外部に設けられるドライバICの各出力ピンとLCDパネル10内部との接続ライン数もその分だけ少なくて済むとともに、ドライバICのピン配列方向のサイズを縮小化できる。

【0052】ところで、液晶表示装置の分野では近年、装置のコンパクト化、特にLCDパネル10の狭幅化が積極的に押し進められている。LCDパネル10の狭幅化を実現するには、LCDパネル10の額縁部分のサイズ(以下、額縁サイズと略称する)をできるだけ小さくすれば良い。現行の製造技術の下では、一例として、4mm以下の額縁サイズが狙いとなる。

【0053】一方、LCDパネル10の外部回路であるドライバIC14-1, 14-2, ……の実装方式として例えばTAB(Tape Automated Bonding)方式を用いた場合、TABのパッドサイズが現行2mm程度であることから、額縁サイズ4mm以下を満足するためには、TABと時分割スイッチ16-1, 16-2, 16-3, 16-4, 16-5, 16-6, 16-7, 16-8, 16-9, ……との間の配線および接続に要する領域のサイズを2mm以下に抑えることが必要となる。

【0054】以上のことを踏まえて、R, G, B3時分割駆動の場合を例に採って、ドライバICの個数の設定について説明する。ここでは、一例として、SXGA表示規格の液晶表示装置の場合を例に採って説明するものとする。SXGA表示規格は1280画素×1024画素であり、1画素がR, G, Bの3ドットからなることから、信号ラインの総本数(=水平方向のドット数)は3840(=1280×3)本となる。

【0055】現行のパターニング技術では、配線幅が4 μ m程度、配線間隔が3.5 μ m程度であることから、1本の配線につき7.5 μ m程度のスペースが必要となる。LCDパネル10の額縁サイズとして4mm以下を狙った場合、配線および接続に許容されるスペースは2mm以下であることから、額縁部分に配線可能な最大配線本数として、266(=2mm/7.5 μ m)本程度という数値が導き出される。

【0056】ただし、ドライバICの出力ピンのピッチに対して信号ラインの配線ピッチの方が広いことから、

(7)

11

ドライバICの出力ピンと時分割スイッチとの間を電気的に接続するフレキシブルケーブルは、液晶表示パネルの額縁部分で左右に半分ずつ分けられることになることから、ドライバICの出力ピン数としては最大、最大配線可能本数(266本)の2倍、即ち532本程度となる。

【0057】以上のことから明らかなように、SXGA表示規格の場合は、532本以下でかつ信号ライン数(3840ライン)の約数であることが条件となることから、ドライバICの出力ピン数として例えば320本が設定される。そして、3時分割駆動の場合は、ドライバICの総出力ピン数としては、信号ライン数(3840ライン)の3分の1で良いことから、本例では、ドライバICの個数として、4(=1280/320)個が設定される。

【0058】すなわち、SXGA表示規格の液晶表示装置において、3時分割駆動を採った場合には、図9に示すように、各々320本の出力ピンを持つ4個のドライバIC14-1~14-4が、液晶表示パネル10とは別体の外部基板(図示せず)上に一定の間隔をもって配置され、フレキシブルケーブル18を介してLCDパネル10の額縁の接続部分19にて時分割スイッチ(図示せず)と接続されることになる。

【0059】このように、SXGA表示規格の液晶表示装置において、3時分割駆動を採ることにより、ドライバICの出力ピン数として例えば320本を設定した場合、ドライバICの個数が4個で済むため、時分割駆動を採らず、例えば384ピンの汎用ドライバICを用いると、10(=3840/384)個のドライバICを必要としていた場合に比べて、スタンバイ電力を5分の2以下に抑えることができる。

【0060】また、ドライバICのコスト低減にもつながる。しかも、今後、集積回路技術の進歩に伴い、これ以上のドライバICのピン数が期待され、それに伴って3個以下のドライバICの個数の設定も可能となるため、消費電力と製品コストのより低減を期待できることになる。

【0061】ところで、SXGA表示規格の映像信号フォーマットでは、水平走査時間は、規格上、21.537 μ s、15.63 μ s、12.504 μ sおよび10.971 μ sと決められている。この規格のもとで、図2および図9の構成を実現するためには、例えば一番短い水平走査時間である10.971 μ sに合わせる必要がある。

【0062】ここで、3時分割駆動を行う訳であるから、10.971 μ sの3分の1以下の時間で選択(サンプリング)する必要がある。つまり、サンプリング時間が3.657 μ s以下であることが必要となる。同様に、水平走査時間が21.537 μ sならば7.179 μ s、15.63 μ sならば5.21 μ s、12.50

12

4 μ sならば4.168 μ s以下のサンプリング時間となる。

【0063】また、図5のタイミングチャートにおいて、ドライバIC14-1, 14-2, …から信号ラインに対して出力される出力波形の立ち上がり、立ち下がり時間(スルーレート)については、上記サンプリング時間内に終了する必要があるため、選択期間よりも小さくする必要がある。なお、ドライバIC14-1, 14-2, …の立ち上がり、立ち下がりの定義は、電位が0%から99.75%まで変位する時間である。一例として、信号ラインの信号振幅が9Vである場合には、0.00225Vの誤差となる。

【0064】ところで、垂直駆動回路であるゲートドライバ13をLCDパネル10と同一基板上に搭載したいわゆる駆動回路一体型液晶表示装置では、カラム反転駆動、ドット反転駆動あるいは1H反転駆動を実現するに際しては、それに使用する画素トランジスタ(TFT)の特性にその回路の制御クロックが適合されている。そのため、一度回路構成を決定した場合、液晶表示装置の駆動方法は変更できなくなる。

【0065】これに対して、本発明に係るアクティブマトリクス型液晶表示装置では、図1において、その駆動周波数がLCDパネル10内のゲートドライバ(垂直駆動回路)13と時分割スイッチ16のサンプリング周波数で決まるが、これはカラム反転駆動、ドット反転駆動、1H反転駆動の各駆動方式の影響を受けない。これは、画像信号データの処理や信号出力をLCDパネル10の外部回路であるドライバIC12-1, 12-2, ……で行っているためである。

【0066】すなわち、周波数およびタイミングの変更は、ドライバIC12-1, 12-2, ……で対応できる。換言すれば、ドライバIC12-1, 12-2, ……で周波数およびタイミングの変更を行うことにより、本発明に係るアクティブマトリクス型液晶表示装置では、カラム反転駆動のみならず、ドット反転駆動や1H反転駆動をも実現できることになる。

【0067】

【発明の効果】以上説明したように、本発明によれば、アクティブマトリクス型液晶表示装置において、カラム反転駆動と時分割駆動を併用したことにより、大型液晶表示装置であっても、信号ラインの充放電に起因する水平駆動回路の消費電力を低減できるとともに、水平駆動回路の出力端子と信号ラインの各々接続ライン数および水平駆動回路としてのドライバICの個数を削減できることになる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るアクティブマトリクス型液晶表示装置における液晶表示部の配線図である。

【図2】表示部の各画素および時分割スイッチの構成を示す回路図である。

(8)

13

【図3】水平駆動回路の構成の一例を示すブロック図である。

【図4】3時分割駆動の場合における時分割スイッチの接続構成の一例を示す結線図である。

【図5】3時分割駆動の場合の動作説明のためのタイミングチャートである。

【図6】カラム反転駆動の場合の各画素の電位の極性を示す図である。

【図 7】各駆動方式の説明図であり、(A)はカラム反転駆動方式を、(B)は 1H 反転駆動方式を、(C)はドット反転駆動方式をそれぞれ示している。

14

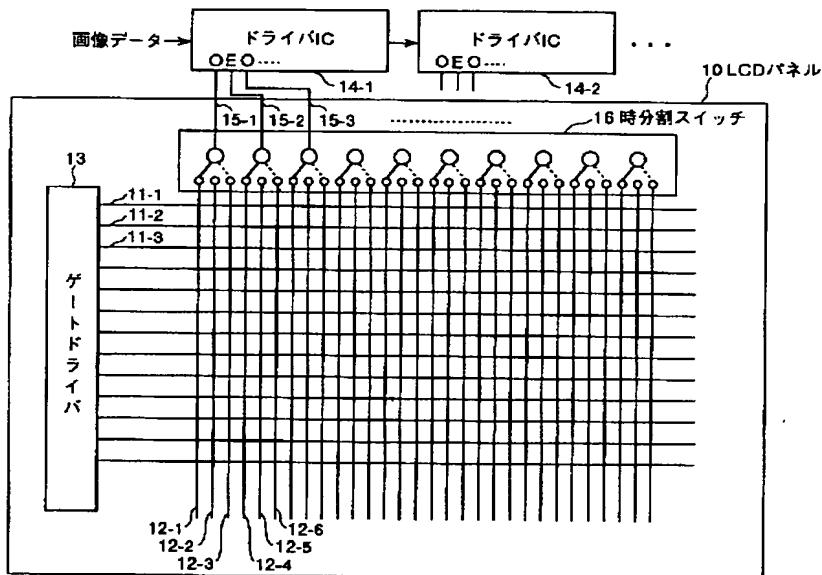
【図8】低温ポリシリコンTFTとアモルファスシリコンTFTのリーク電流の温度依存性を示す図である。

【図9】SXGA表示規格の液晶表示装置におけるドライバICの個数の関係を示す概略構成図である。

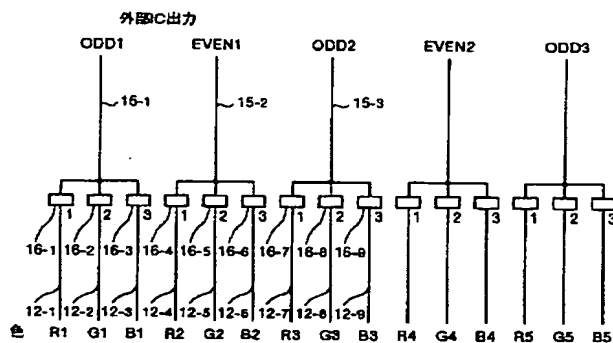
【符号の説明】

10…LCDパネル、11-1～11-3…ゲートライン、
12-1～12-9…信号ライン、13…ゲートドライバ、
14-1、14-2…ドライバIC、16、16-1～16-9
…時分割スイッチ、20…画素、21…薄膜トランジスタ（TFT）、22…保持容量、23…液晶容量（液晶セル）

【図 1】



【図4】



【图 6】

(a) 第1フィールド

走查順

1	H			L			H			L			H		
2		L			H			L			H			L	
3			H												
1	H			L			H			L			H		H
2		L			H			L			H			L	
3			H			L		H				L			H

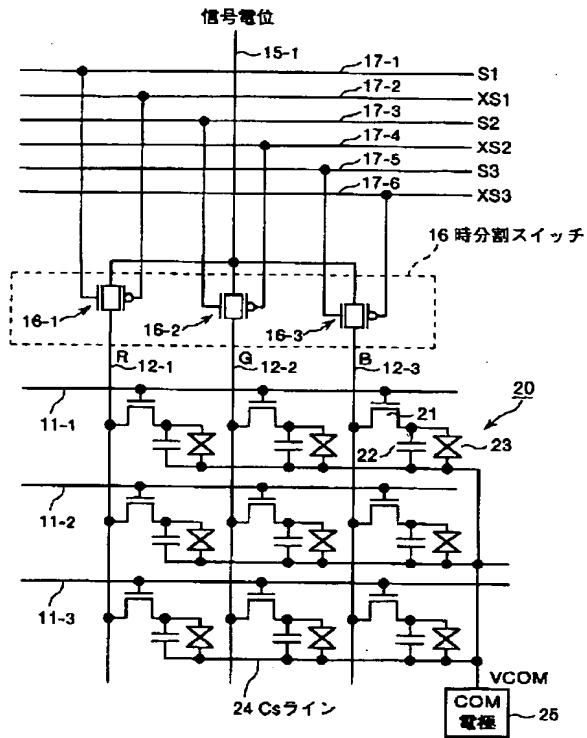
(b) 第2フィールド

走查圖

1	L			H		L		H		L		
2		H		L		H		L		H		
3			L		H		L		H			L
1	L			H		L		H		L		
2		H		L		H		L		H		
3			L		H		L		H			L

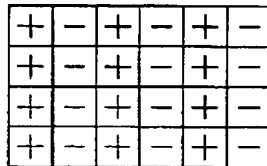
(9)

【図2】



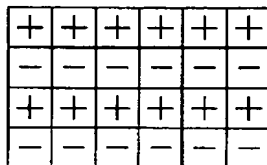
【図7】

(A) カラム反転



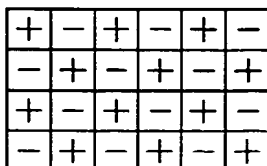
低消費電力

(B) 1H反転



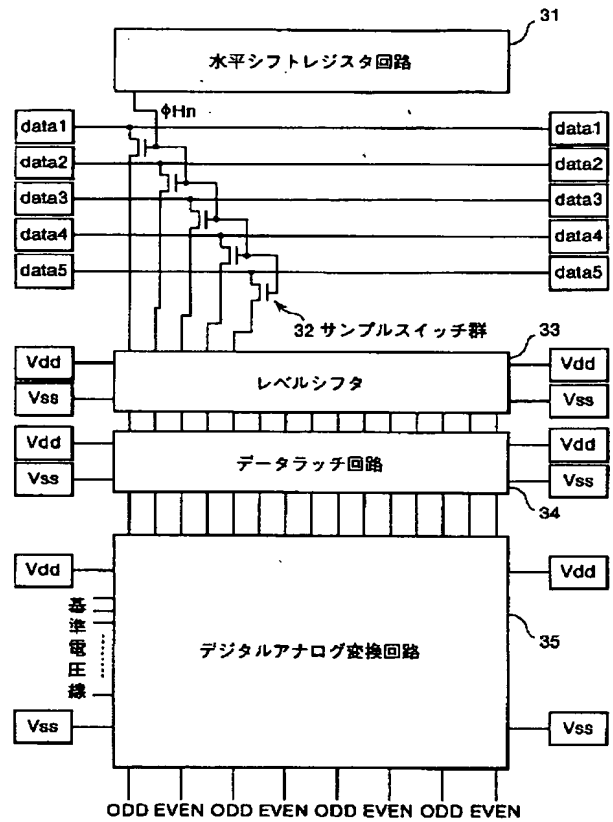
中消費電力

(C) ドット反転

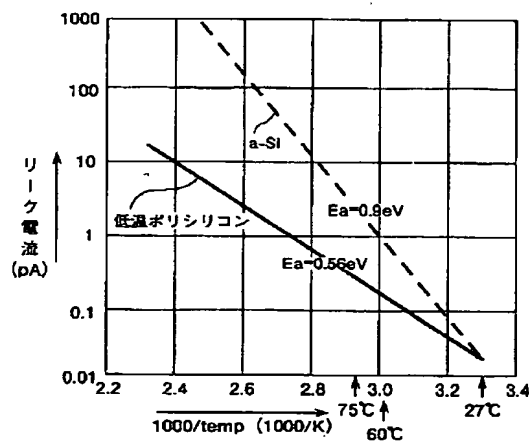


大消費電力

【図3】

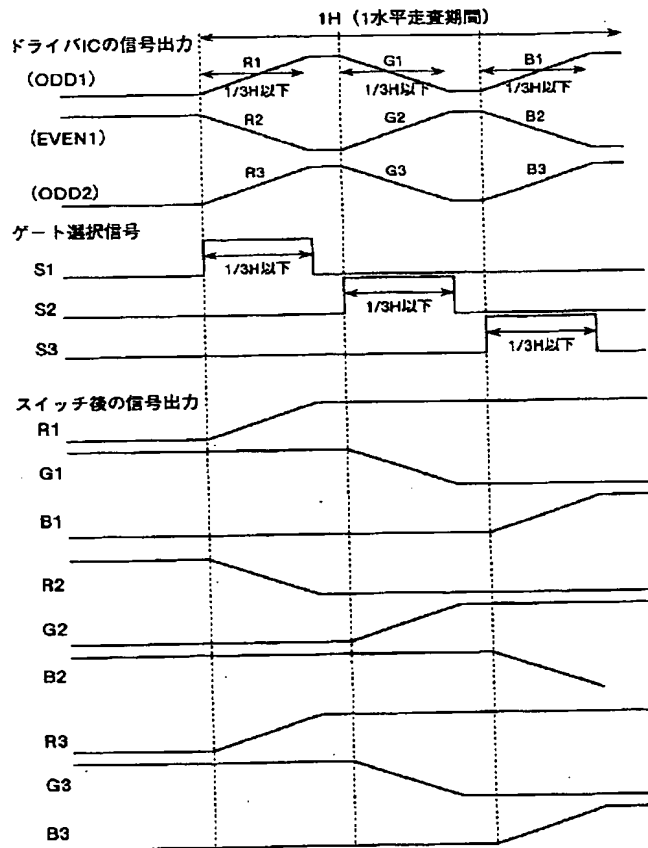


【図8】

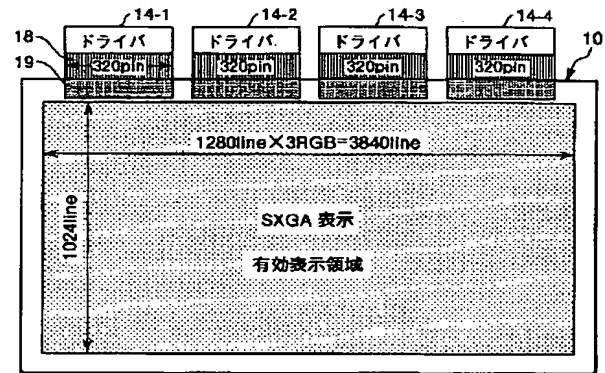


(10)

【図5】



【図9】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20
3/36

識別記号

6 2 3

F I

G 0 9 G 3/36

G 0 2 F 1/136

テーマコード (参考)

5 0 0

(72) 発明者 後藤 尚志

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72) 発明者 芥河 徹

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

F ターム (参考) 2H092 GA50 GA51 JA24 KA04 NA25

NA26 NA27

2H093 NA32 NA33 NA43 NA53 NA64

NC05 NC12 NC13 NC21 NC22

NC23 NC26 NC34 NC35 ND06

ND15 ND17 ND39 ND49 NH12

NH15

5C006 AA21 AC21 AC26 AC28 BB16

BC20 BF11 FA42 FA43 FA47

FA51

5C080 AA10 BB05 CC03 DD22 DD23

DD26 EE29 EE30 FF11 JJ02

JJ03 JJ04 JJ05 JJ06

5C094 AA22 BA03 BA43 CA19 CA24

DA09 GA10